# ddr3\_vga IP核使用说明

1. 层次结构

|  |  |  |  |
| --- | --- | --- | --- |
| 模块名称 | | | 功能说明 |
| ddr3\_vga\_top（顶层） | ddr3\_vga\_ctrl | | IP核控制逻辑，包含了状态控制寄存器 |
| clk\_gen | | vga\_intf模块的5M时钟分频模块 |
| ddr3\_read | async\_fifo\_ahead | 从PS侧DDR3的指定双buffer交替突发读数据，给到VGA接口显示 |
| vga\_intf | | VGA接口，模拟VGA显示时序的功能 |

1. 状态控制寄存器说明

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 存器名称 | 地址 | 位宽 | R/W | 功能说明 |
| buffer\_base | 0 | 32 | W | PL从PS侧DDR3突发读数据的物理首地址。 |
| img\_size | 1 | 32 | W | 一帧图像数据量，以Byte为单位。 |
| start\_statu | 2 | 32 | W | IP工作状态寄存器，1：使能；0：失能；实际只用了bit0。 |
| buffer\_status | 3 | 32 | W/R | PS侧DDR3的双buffer可读状态：0-PS可写；1-PL可读。  PS向buffer0写完一帧图像，则向buffer\_status[1:0]写2’bx1;  PS向buffer1写完一帧图像，则向buffer\_status[1:0]写2’b1x。  PL从buffer0读完一帧图像，则向buffer\_status[1:0]写2’bx0；  PL从buffer1读完一帧图像，则向buffer\_status[1:0]写2’b0x。  实际只用了bit0和bit1。 |